

INF-117

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

H. RUCKERBAUER ET AL.

Serial No. 10/724,165

Art Unit: 2818

Filed: December 1, 2003

Examiner: Unknown

For: MEMORY MODULE AND METHOD FOR
OPERATING A MEMORY MODULE IN A
DATA MEMORY SYSTEM

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Sir:

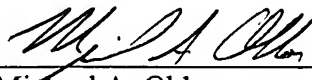
The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of the priority provided under 35 U.S.C. § 119 is hereby claimed:

German Patent Appln. No. 102 55 872.8 filed November 29, 2002

In support of this claim, filed herewith is a certified copy of said foreign application.

Respectfully submitted,

By:


Michael A. Oblon
Reg. No. 42,956

Date: April 16, 2004
SHAW PITTMAN LLP
1650 Tysons Boulevard
McLean, VA 22102
Tel: (703) 770-7645



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 55 872.8

Anmeldetag: 29. November 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Speichermodul und Verfahren zum
Betrieb eines Speichermoduls in einem
Datenspeichersystem

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. Dezember 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'Ebert'.

Ebert

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12334

Ko/cp

Anmelderzeichen: 2002P12768
(2002 E 12728 DE)

29.11.2002

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

**Speichermodul und Verfahren zum Betrieb eines
Speichermoduls in einem Datenspeichersystem**

Beschreibung

Speichermodule und Verfahren zum Betrieb eines Speichermoduls
in einem Datenspeichersystem

5

Die Erfindung betrifft eine Mehrzahl von Datenspeichereinrichtungen zur Speicherung von Nutzdaten und mindestens eine mit den Datenspeichereinrichtungen mindestens mittels Datenleitungen verbundene Buffereinrichtung zur Aufbereitung mindestens von auf den Datenleitungen zwischen den Datenspeichereinrichtungen und weiteren Komponenten eines Datenspeichersystems übertragenen Datensignalen aufweisendes Speichermodule zum Betrieb in einem Datenspeichersystem.

15 Modulare Datenspeichersysteme weisen üblicherweise eine Systemplatine mit einer Mehrzahl von Einbauplätzen für Speichermodule auf. Die Einbauplätze sind dabei jeweils in Abhängigkeit von den Anforderungen an das Datenspeichersystem oder von einer Ausbaustufe des Datenspeichersystems mit Speichermodulen belegt.

Ein Beispiel für ein Datenspeichersystem mit modularem Konzept ist ein Computersystem (PC, work station, server) mit variablen Arbeitsspeicher, bei dem auf einer Systemplatine Einbauplätze (slots) für Speichermodule in Form von Steckfassungen vorgesehen sind. Die Speichermodule modularer Datenspeichersysteme liegen in der Regel in Form von DIMMs (dual inline memory modules) vor, deren mechanische und elektrische Schnittstellen zur Systemplatine Industriestandards unterworfen sind.

Zur Steigerung der Leistungsfähigkeit solcher Datenspeichersysteme wird allgemein eine Erhöhung einer Takt- bzw. Datenübertragungsrate angestrebt. So sind für auf DDR-DRAM Bausteinen (double data rate dynamic random access memories) als

Datenspeichereinrichtungen beruhende DDRII(double data rate)
-Speichersysteme Datenübertragungsraten von 667 Mbit pro Se-
kunde und pro Datensignal (Mbit/s/Pin) und für DDRIII-Spei-
chersysteme Datenübertragungsraten von bis zu 1,5 Gbit/s/Pin
5 vorgesehen. Mit steigenden Datenübertragungsraten gewinnen
zunehmend Maßnahmen zur Wahrung bzw. Verbesserung der Signal-
integrität bei hohen Signalfrequenzen an Bedeutung.

10 Bekannte Konzepte für Datenspeichersysteme mit Datenübertra-
gungsraten bis zu 1,5 Gbit/s/Pin sehen auf den Speichermodu-
len abzweigfreie Signalleitungen und verteilte kapazitive
Lasten zur Verbesserung der Signalintegrität vor.

15 Ebenso sind Buffer/Redriver-Bausteine bekannt, die jeweils
zusätzlich zu den Datenspeichereinrichtungen auf den Spei-
chermodulen vorgesehen werden. Die Buffer/Redriver-Bausteine
ermöglichen neben einer Signalkonditionierung von zu bzw. von
den Datenspeichereinrichtungen der Speichermodule geführten
Signalen eine Entkopplung eines auf der Systemplatine ausge-
20 führten Bussystems von den jeweils auf den Speichermodulen
ausgebildeten Bussystemen.

25 Weiterhin sind zur Datensicherung Fehlerkorrekturkonzepte
(ECC, error correction codes) bekannt. Dazu wird parallel zu
den eigentlichen Nutzdaten ein erster Satz redundanter Daten
übertragen (im Folgenden Redundanzdaten), der jeweils nach
bekannten Algorithmen aus den Nutzdaten gebildet wird. Die
Redundanzdaten werden zusätzlich zu den jeweils korrespondie-
renden Nutzdaten etwa zu einer weiteren auf dem Speichermodul
30 befindlichen Datenspeichereinrichtung übertragen und abge-
speichert. Nach einer Rückübertragung der Nutzdaten und der
Redundanzdaten an einen in der Regel auf der Systemplatine
angeordneten Speicherkontrollbaustein wird dort aus den Nutz-
daten ein zweiter Satz redundanter Daten (im Folgenden Kon-
35 trolldaten) gebildet. Durch den Vergleich der Kontrolldaten

mit den zusammen mit den Nutzdaten übertragenen Redundanzdaten werden Fehlerereignisse registriert und fallweise nach bekannter Technik korrigiert. Ein Fehlerereignis liegt dabei vor, wenn die zum Speicherkontrollbaustein zurückübertragenen Nutzdaten von den ursprünglich vom Speicherkontrollbaustein zu einer der Datenspeichereinrichtungen übertragenen Nutzdaten abweichen. Ein Fehlerereignis beruht auf einem Übertragungsfehler, einer fehlerhaften Speicherzelle in der Datenspeichereinrichtung oder auf einen durch Umgebungseinflüsse bedingten Wechsel des Dateninhalts einer Speicherzelle.

Fehlerkorrekturkonzepte setzen allgemein voraus, dass auf den Speichermodulen zusätzlich zu jedem Satz von Nutzdaten ein Satz Redundanzdaten abgespeichert wird. Bei Speicherkonzepten wie SDR (single data rate), DDRI und DDRII weist der gesamte Datenbus zur Übertragung der Nutzdaten üblicherweise 64 parallel geführte Datenleitungen auf. Übliche Fehlerkorrekturkonzepte sehen weitere acht Datenleitungen zur parallelen Übertragung der Redundanzdaten vor. Entsprechend beträgt die Größe des Speichers für die Redundanzdaten (im Folgenden Fehlerdatenspeicher) pro Speichermodul ein Achtel des Nutzdatenspeichers des Speichermoduls.

Ein weiteres, als Chipkill™ bekanntes Fehlerkorrekturkonzept, ist auf die Erkennung und Korrektur von mit herkömmlichen Fehlerkorrekturkonzepten nicht erkennbaren Mehrfachfehlern auf einer physikalischen Datenadresse einer Datenspeichereinrichtung gerichtet. Dabei werden im Wesentlichen die der physikalischen Datenadresse zugeordneten Datenbits einer Gruppe paralleler Bussysteme zugeteilt (scattering), für die jeweils separat ein übliches Fehlerkorrekturkonzept wirkt. Bei einer defekten Adressierungsleitung innerhalb der Datenspeichereinrichtung wird ein meist nicht erkenn- oder korrigierbarer Mehrfachfehler in eine Anzahl von in der Regel korrigierbarer Einzelfehler umgesetzt.

Allgemein addieren sich bei Kombination mehrerer die Leistungsfähigkeit eines Datenspeichersystems steigernder Maßnahmen bzw. Konzepte deren Vorteile.

5

Jedoch führt eine mit herkömmlichen Mitteln realisierte Kombination eines Fehlerkorrekturkonzepts mit einem Buffer/Redriverkonzept auch zu Nachteilen. So erschwert der hohe Platzbedarf für die Buffer/Redriver-Bausteine und den Fehlerdatenspeicher eine geeignete Ausbildung von Signalleitungen (routen) auf nach JEDEC (Joint electronic device engineering council) in den Abmessungen standardisierten Speichermodulen außerordentlich.

15 Weitere Nachteile einer bloßen Kombination von Fehlerkorrekturkonzepten einerseits und Buffer/Redriverkonzepten andererseits treten in Abhängigkeit einer Datenbusbreite der auf dem Speichermodul vorgesehenen Datenspeichereinrichtungen in unterschiedlicher Gewichtung auf.

20

Da der Fehlerdatenspeicher in vorteilhafter Weise identisch dem Nutzdatenspeicher betrieben wird, wird der Fehlerdatenspeicher üblicherweise mit den gleichen Eigenschaften vorgesehen wie der Nutzdatenspeicher. Für den Nutzdatenspeicher und den Fehlerdatenspeicher ist daher in der Regel der selbe Typ von Datenspeichereinrichtung vorgesehen. Weisen die Datenspeichereinrichtungen für den Nutzdatenspeicher eine Datenbusbreite von sechzehn Datenleitungen auf, so weist typischerweise auch die Datenspeichereinrichtung für den Fehlerdatenspeicher eine Datenbusbreite von 16 Bit auf. Da übliche Fehlerkorrekturkonzepte aber lediglich 8 Bit nutzen, bleibt in nachteiliger Weise ein Datenspeicher in der Größenordnung eines Achtels des gesamten Speicherumfangs der Speichermoduls ungenutzt.

35

Weiter weisen aus Kostengründen korrespondierende Typen von Speichermodulen mit bzw. ohne Fehlerkorrektur ein im Wesentlichen identisches Layout der Signalleitungen auf. Die korrespondierenden Typen von Speichermodulen unterscheiden sich lediglich darin, dass auf Speichermodulen mit Fehlerkorrektur eine zusätzliche Datenspeichereinrichtung als Fehlerdaten-
5 speicher bestückt ist. Ein Einbauplatz für die Fehlerdatenspeichereinrichtung ist auf den Speichermodulen ohne Fehlerkorrektur in gleicher Weise ausgebildet, bleibt aber unbestückt.

Weist nun das Speichermodul Datenspeichereinrichtungen mit 8 Bit Datenbusbreite auf, so sind auf zwei korrespondierende Typen von Speichermodulen mit internem 64 Bit Datenbus beispielsweise acht Einbauplätze für Datenspeichereinrichtungen zum Speichern der Nutzdaten und ein weiterer Einbauplatz für eine (Fehler-)Datenspeichereinrichtung zum Speichern der Redundanzdaten, insgesamt also eine ungerade Anzahl von Einbauplätzen für Datenspeichereinrichtungen, vorzusehen. In
15 nachteiliger Weise erlaubt dann aber keine Topologie zur Ausführung der Signalleitungen zwischen dem Buffer/Redriver-Baustein und den Datenspeichereinrichtungen eine symmetrische Konfiguration der insgesamt neun Einbauplätze für Datenspeichereinrichtungen auf dem Speichermodul. Nach einer heute üblichen so genannten "double T-branch"-Topologie wird beispielsweise der Datenbus in zwei Zweigen geführt, wobei ein
20 Zweig des Datenbus mit vier, der zweite Zweig mit fünf Einbauplätzen für Datenspeichereinrichtungen verbunden ist. Dies führt zu einer asymmetrischen Ausbildung der Datensignalleitungen und die Optimierung des Zeitverhaltens der Datensignalle für beide Konfigurationen des Speichermoduls mit bzw. ohne Fehlerkorrektur wird erschwert. Für die für DDRII vorgesehenen Datenübertragungsraten wäre die Einführung zusätzlicher Wartezyklen zur Datenübertragung auf dem Steuer- und Adres-
25 senbus erforderlich. Dies führt aber zu einer unerwünschten

Begrenzung der Datenübertragungsrate und damit der Leistungsfähigkeit des Datenspeichersystems.

Auf Speichermodulen, die Datenspeichereinrichtungen mit jeweils 4 Bit Datenbreite aufweisen, werden mindestens achtzehn Datenspeichereinrichtungen benötigt, um eine gesamte Datenbusbreite von 72 Bit zur Verfügung zu stellen. Davon sind zwei Datenspeichereinrichtungen zur Speicherung der redundanten Daten vorgesehen. Speichermodule mit auf 4 Bit Datenbusbreite basierenden Datenspeichereinrichtungen werden für Applikationen vorgesehen, die einen hohen Speicherausbau erfordern. Daher werden hierfür auch jeweils die Datenspeichereinrichtungen mit einer maximalen Zahl von Speicherzellen vorgesehen. Durch den Platzbedarf der Speicherzellen in einem Halbleitersubstrat der Datenspeichereinrichtungen ergibt sich eine vergleichsweise große Bauteilgröße der dazu verwendeten Datenspeichereinrichtungen. Entsprechende Speichermodule, deren Abmessungen gemäß dem maßgebenden Industriestandard auf eine Maximalgröße von 1,2 Zoll x 5,25 Zoll beschränkt sind, sind in diesem Fall bereits nahezu lückenlos mit Datenspeichereinrichtungen bedeckt. Die Anordnung zusätzlicher Buffer/Redriver-Bausteine sowie einer zusätzlichen Fehlerdatenspeichereinrichtung ist in diesen Fällen aus Platzgründen nicht möglich.

Eine zur Steigerung der Leistungsfähigkeit von Datenspeichersystemen wünschenswerte Kombination von Buffer/Redriver-Konzepten mit Fehlerkorrekturkonzepten ist also aus den oben genannten Gründen im Rahmen gegenwärtig geltender Industriestandards wenn überhaupt nur mit einschneidenden Abstrichen an anderer Stelle möglich.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Speichermodul zur Verfügung zu stellen, das die Integration einer Buffer/Redriver-Funktionalität sowie eines Fehlerdatenspei-

chers auf den Speichermodulen für unterschiedliche Buskonfigurationen des Speichermoduls im Rahmen geltender Industriestandards für die mechanische und elektrische Schnittstelle des Speichermoduls ermöglicht. Aufgabe der Erfindung ist es
5 ferner, ein Verfahren zum Betrieb eines solchen Speichermoduls zur Verfügung zu stellen.

10 Diese Aufgabe wird bei einem Speichermodul der Eingangs genannten Art erfindungsgemäß durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmale gelöst. Die Lösung der Aufgabe ist ferner erfindungsgemäß mit einem Buffer- und Fehlerkontrollbaustein mit den im kennzeichnenden Teil des Patentanspruches 13 angegebenen Merkmalen und mit dem im Patentanspruch 17 angegebenen Verfahren zum Betrieb eines Speichermoduls verbunden. Das erfindungsgemäße Speichermodul ermöglicht darüber hinaus ein im Patentanspruch 19 angegebenes
15 Verfahren zur Optimierung von Datenspeichersystemen. Vorteilhafte Weiterbildungen der Erfindung ergeben sich jeweils aus den Unteransprüchen.

20

Das erfindungsgemäße Speichermodul zum Einbau in ein Datenspeichersystem weist also mindestens einen jeweils eine Buffereinrichtung und eine Datenspeichereinrichtung zur Speicherung von Redundanzdaten innerhalb eines gemeinsamen Bauteilgehäuses integrierenden Buffer- und Fehlerkontrollbaustein
25 auf.

Der Integration einer Buffer/Redriver-Funktionalität und einer Fehlerdatenspeichereinrichtung innerhalb eines gemeinsamen Bauteilgehäuses liegt dabei die Überlegung zugrunde, dass
30 für DDRII- und DDRIII-Konzepte die Abmessungen eines in üblicher Halbleitertechnologie ausgeführten Buffer/Redriver-Bausteins im Wesentlichen durch die Anzahl der Anschlüsse des Buffer/Redriver-Bausteins, nicht aber durch die in einem
35 Halbleitersubstrat des Buffer/Redriver-Bausteins realisierte

Buffer/Redriver-Funktionalität bestimmt ist. Das Halbleiter-substrat der Buffer/Redriver-Bausteine ist in diesem Fall nur zu einem geringen Teil durch die Buffer/Redriver-Funktionalität genutzt.

5

Das Missverhältnis zwischen dem Platzbedarf zur Realisierung der Bufferfunktionalität und dem Platzbedarf zur Ausführung der Anschlüsse ergibt sich aus einer relativ einfach im Halbleitersubstrat zu realisierenden Bufferfunktionalität einerseits und einer hohen Anzahl von elektrischen Anschlüssen, insbesondere von Datenleitungsanschlüssen, andererseits. Wird auf einem Speichermodul lediglich ein Buffer/Redriver-Baustein vorgesehen, so ist dieser für ein 64 Bit Datenbus-system in der Regel allein mit 256 Anschlüssen zur Übertragung von Datensignalen vorzusehen. Die Zahl von 256 Anschlüssen ergibt sich dabei aus jeweils 64 Anschlüssen für die Datenbussysteme der Systemplatine und des Speichermoduls, sowie aus dem Umstand, dass jeder Datensignalleitung bei Datenübertragungsraten von mehr als 500 MHz/s/pin in der Regel eine Schirmleitung zuzuordnen ist. Für Fehlerkorrekturkonzepte erhöht sich die Anzahl der Anschlüsse entsprechend der Breite eines Redundanzdatenbussystems.

15

20

25

30

Dagegen entfallen auf dem erfindungsgemäßen Speichermodul mit einem kombinierten Buffer- und Fehlerkontrollbaustein Busleitungen zwischen einer Fehlerdatenspeichereinrichtung und einem Buffer/Redriver-Baustein. Der kombinierte Buffer- und Fehlerkontrollbaustein weist in vorteilhafter Weise tendenziell eher weniger Anschlüsse auf als ein vergleichbarer herkömmlicher Buffer/Redriver-Baustein. Weiterhin lässt sich die Funktionalität des Fehlerdatenspeichers im Rahmen herkömmlicher Technologien, etwa als embedded DRAM, in wesentlichen Teilen innerhalb des ansonsten ungenutzten Bereichs des Halbleitersubstrats eines Buffer/Redriver-Bausteins ausführen.

35

Die Integration der Fehlerdatenspeichereinrichtung und der Buffer/Redriver-Funktionalität innerhalb eines kombinierten Buffer- und Fehlerkontrollbausteins reduziert also vorteilhaft den Platzbedarf für ein kombiniertes Buffer/Redriver- und Fehlerkorrekturkonzept. Der Platzbedarf für einen integrierten Buffer- und Fehlerkontrollbaustein ist tendenziell geringer als der addierte Platzbedarf eines üblichen Buffer/Redriver-Bausteins und einer Fehlerdatenspeichereinrichtung.

10

Daneben entfällt auch der Platzbedarf für einen jedem Einbauplatz auf dem Speichermodul zugeordnete Umgriff, der fertigungsbedingt als minimaler Abstand zwischen jeweils zwei anzuordnenden Bausteinen bzw. Datenspeichereinrichtungen vorzusehen ist.

15

Der auf dem Speichermodul erfindungsgemäß insgesamt eingesparte Platz ermöglicht die Anordnung (placement) und das Verbinden (routen) der notwendigen Anzahl von Datenspeichereinrichtungen auf dem Speichermodul und eine gleichzeitige Realisierung eines Fehlerkorrektur- und eines Buffer-/Redriver-Konzepts im Rahmen der von Industriestandards vorgegebenen Abmessungen für Speichermodule.

20

Mit dem erfindungsgemäßen Speichermodul erübrigen sich vorteilhaft Speichermodule mit größeren Abmessungen. Gegenüber Speichermodulen mit größeren Abmessungen weist das erfindungsgemäße Speichermodul durch kürzere Leitungswege eine höhere Signalintegrität auf. Kosten, die durch eine größere Fläche der Speichermodule, durch die Notwendigkeit neuer Fertigungsgeräte und insbesondere auch durch eine Umstellung der Fertigung von Speichermodulen und Datenspeichersystemen auf eine neue Modulgröße anfallen, werden erfindungsgemäß vermieden. Ein neuer Industriestandard erübrigt sich und eine kos-

25

30

tenintensive Aufsplitterung von Fertigungslinien wird vermieden.

Erfindungsgemäß unterscheiden sich die Layouts der Signalleitungen für entsprechende Typen von Speichermodulen mit bzw. ohne Fehlerkorrektur nicht oder nur unwesentlich. Die beiden entsprechenden Typen von Speichermodulen mit bzw. ohne Fehlerkorrektur unterscheiden sich lediglich entweder in der Ausbildung der bestückten Buffer- und Fehlerkontrollbaustein oder in der Ausbildung einer bzw. einer geringen Zahl von die Funktionalität des Buffer- und Fehlerkontrollbausteins steuernden Signalleitungen. In der Folge ist jeder der Buffer- und Fehlerkontrollbausteine unabhängig vom Typ des Speichermoduls immer mit einer geradzahligen Anzahl von Datenspeichereinrichtungen zur Speicherung der Nutzdaten verbunden. Es lassen sich also für korrespondierende Typen von Speichermodulen mit und ohne Fehlerkorrektur symmetrische Topologien zur Ausführung der Signalleitungen finden. Es ergeben sich in vorteilhafter Weise symmetrische Belastungen insbesondere der Steuer- und Adressleitungen.

Damit ist in der Folge das Zeitverhalten (timing) insbesondere der Steuer- und Adressensignale für entsprechende Typen von Speichermodulen mit und ohne Fehlerkorrektur eindeutig bestimmt. Wartezyklen (latencies) zwischen der Übertragung von Steuer- und Adressensignalen auf den Steuer- und Adressensignalleitungen einerseits und der Übertragung von Daten auf Datensignalleitungen andererseits, wie sie etwa von DDRI-Konzepten beim Betrieb von Speichermodulen mit Fehlerkorrektur bekannt sind, erübrigen sich. Bei einem Schreibzyklus mit Wartezyklus werden die Steuer- und Adressensignale zunächst zu einem Zwischenspeicher und erst in einem folgenden Zyklus zusammen mit den um einen Zyklus verzögert ausgegebenen Datensignalen zu den Datenspeichereinrichtungen übertragen. Der Wartezyklus verringert insbesondere bei ungeordneten Adres-

senzugriffen (random access) die Datenübertragungsrate im Datenspeichersystem deutlich. Erfindungsgemäß wird also die Leistungsfähigkeit des Speichermoduls erhöht.

- 5 Die notwendige Größe des Fehlerdatenspeichers hängt lediglich vom Speicherumfang des Speichermoduls ab. Die Ausführung des Buffer- und Fehlerkontrollbausteins ist daher in vorteilhafter Weise weit gehend unabhängig von der Datenbusbreite der auf dem jeweiligen Speichermodul angeordneten Datenspeichereinrichtungen.

- Da ferner der kombinierte Buffer- und Fehlerkontrollbaustein an die Anforderungen des Speicherkontrollbausteins des Datenspeichersystems angepasst ist, lassen sich die Anforderung an den in der Buffer- und Fehlerkontrollbaustein realisierten Fehlerdatenspeicher etwa bezüglich der Zugriffszeiten gegenüber den Nutzdatenspeicher vorteilhaft reduzieren. Damit lässt sich der Fehlerdatenspeicher beispielsweise in der zur jeweiligen Datenspeichereinrichtung korrespondierenden Embedded-Technologie ausbilden.

- Als weiterer Vorteil erweist sich die einhergehende Entkopplung der Anzahl der Datenbits des Fehlerdatenspeichers von der Anzahl der Datenbits des Nutzdatenspeichers. So lassen sich erfindungsgemäß auch ohne den Nachteil eines nicht vollständig genutzten oder überdimensionierten Fehlerdatenspeichers etwa Fehlerkorrekturkonzepte mit 9 Bit Redundanzdaten realisieren, die bereits eine deutlich effektivere Fehlererkennung ermöglichen als solche mit 8 Bit Redundanzdaten. Mit einem Fehlerkorrekturkonzept mit 12 Bit Redundanzdaten ist dabei für einen Nutzdatenbus von 64 Bit bei Datenspeichereinrichtungen mit 8 Bit Datenbusbreite die Kompensation fehlerhafter Adressierungsleitungen in den Datenspeichereinrichtungen bis im Extremfall die Kompensation des Ausfalls einer

kompletten Datenspeichereinrichtung durch das Fehlerkorrekturkonzept möglich.

In bevorzugter Weise umfasst der Buffer- und Fehlerkontrollbaustein neben dem Fehlerdatenspeicher auch eine Fehlererkennungs- und eine Fehlerkorrektureinheit. In herkömmlichen Systemen werden die Redundanzdaten (Fehlerdaten, ECC-Informationen) in einem dem Speichersystem zugeordneten Speicherkontrollbaustein ausgewertet. Tritt ein Datenfehler auf, so wird der Datenfehler in der Speicherkontrolleinrichtung registriert und gegebenenfalls korrigiert. Dagegen werden erfindungsgemäß eventuell fehlerhafte Daten bereits auf dem Speichermodul erkannt und fallweise korrigiert. Da in der Folge deutlich weniger fehlerhafte Daten zwischen dem Speicherkontrollbaustein und den Speichermodulen übertragen werden, wird die Datenübertragungsrate des Datenspeichersystems bezüglich der Nutzdaten weiter erhöht.

Die Fehlerkorrektur auf dem Speichermodul und eine zusätzliche unabhängige Fehlerkorrektur im Speicherkontrollbaustein ermöglichen eine Fehleranalyse des gesamten Datenspeichersystems. Dies ermöglicht eine Optimierung des Bussystems zwischen dem Speicherkontrollbaustein und den Speichermodulen. Ist das Bussystem mittels der Fehleranalyse hinreichend optimiert, so erübrigt sich ein den Redundanzdaten zugeordnetes Bussystem zwischen dem Speicherkontrollbaustein einerseits und den Speichermodulen andererseits. Nach einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Speichermoduls weist dieses in vorteilhafter Weise keine Anschlüsse für Redundanzdatenleitungen auf. Das Führen (routen) der Leiterbahnen auf einer mit den Speichermodulen bestückbaren Systemplatine des Datenspeichersystems ist dann durch die geringere Anzahl von Leiterbahnen vereinfacht.

In besonders vorteilhafter Weise ergibt sich dann auch eine einfache Umrüstung eines Datenspeichersystems ohne Fehlerkorrektur zu einem Datenspeichersystem mit Fehlerkorrektur. Die Umrüstung erfolgt ohne weitere Maßnahmen an den weiteren Systemkomponenten des Datenspeichersystems allein durch den Er-
satz von Speichermodulen ohne Fehlerkorrektur durch Speicher-
module mit Fehlerkorrektur. Die Systemplatine entspricht da-
bei in ihrer Ausbildung einer Systemplatine ohne Vorrichtungen zur Fehlerkorrektur.

Nach einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Speichermoduls weist das Speichermodul eine Möglichkeit zur Signalisierung eines Datenfehlers auf. Vorteilhafterweise kann durch eine Auswertung des Datenfehlers in einer höheren Verarbeitungsebene des Datenspeichersystems ein Speichermodul oder eine Datenspeichereinrichtung mit gehäuften Fehlerereignissen erkannt werden. Wiederholt fehlerhafte Datenspeicherbereiche sind so auszublenden. Durch die einhergehende Minimierung der Anzahl der Fehlerereignisse wird die Leistungsfähigkeit des Datenspeichersystems weiter erhöht.

Bevorzugt erfolgt das Erkennen und Ausblenden fehlerhafter Speicherzellen auf dem Speichermodul im Buffer- und Fehlerkontrollbaustein, der dann eine dazu geeignete Fehlerauswerteeinheit aufweist.

Als Datenspeichereinrichtung sind alle üblichen Speicherbausteine möglich. Üblicherweise sind die Datenspeichereinrichtungen aber als DRAM-Bausteine ausgebildet. Datenübertragungsraten, bei denen die Vorteile des erfindungsgemäßen Speichermoduls zum Tragen kommen, setzen in der Regel DRAMs mit DDR-Schnittstelle voraus.

Der erfindungsgemäße Buffer- und Fehlerkontrollbaustein für in Datenspeichersystemen betriebene Speichermodule weist ne-

ben den erforderlichen Anschlusseinrichtungen und eine in einem Halbleitersubstrat ausgebildete und zur Konditionierung mindestens von zum und vom Speichermodul übertragenen Datensignalen geeignete Buffer/Redriver-Funktionalität ein im Halbleitersubstrat ausgebildetes Speicherzellenfeld auf, das als Fehlerdatenspeicher für Speichermodule betrieben wird. Gemäß einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Buffer- und Fehlerkontrollbausteins weist der Buffer- und Fehlerkontrollbaustein eine Fehlererkennungseinheit auf. Die Fehlererkennungseinheit bildet bei einem Empfang von Nutzdaten aus dem Datenspeichersystem einen den empfangenen Nutzdaten zugeordneten Satz von Redundanzdaten, der im Speicherzellenfeld des Buffer- und Fehlerkontrollbausteins abgespeichert wird. Bei einer nachfolgenden Übertragung der Nutzdaten zum Datenspeichersystem wird in der Fehlererkennungseinheit ein korrespondierender Satz von Kontrolldaten gebildet und mit den zugeordneten Redundanzdaten verglichen. Die Fehlererkennungseinheit registriert aus dem Vergleich der abgespeicherten Redundanzdaten mit den korrespondierenden Kontrolldaten fehlerhafte Nutzdaten.

Bevorzugt ist der erfindungsgemäße Buffer- und Fehlerkontrollbaustein mit einer Fehlerkorrektureinheit vorgesehen, die anhand der abgespeicherten Redundanzdaten und der korrespondierenden Kontrolldaten zur Korrektur der fehlerhaften Nutzdaten nach bekannten Algorithmen geeignet ist.

Nach einer weiteren bevorzugten Ausführungsform weist der erfindungsgemäße Buffer- und Fehlerkontrollbaustein eine Fehler-signalisierungseinheit auf. Information zum Auftreten und zur Art von Datenfehlern, etwa korrigierbare Einzelbitfehler oder nicht korrigierbare Doppelbitfehler, sind dann zur Fehleranalyse zu einer weiteren Komponente des Datenspeichersystems übertragbar.

Ferner ist es besonders vorteilhaft, den erfindungsgemäßen Buffer- und Fehlerkontrollbaustein mit einer Fehlerauswerteeinheit zu versehen. Die Fehlerauswerteeinheit ist zur Analyse der auf dem Speichermodul auftretenden Datenfehler und zum Ausblenden als wiederholt fehlerhaft erkannter Speicherzellen oder Speicherbereiche geeignet. Damit ist in besonders vorteilhafter Weise die Übertragung fehlerhafter Nutzdaten beschränkt. Eine auf die fehlerfreie Übertragung von Nutzdaten bezogene Datenübertragungsrate des Datenspeichersystems wird damit weiter erhöht.

Das erfindungsgemäßen Verfahren beschreibt den Betrieb eines erfindungsgemäßen, eine Mehrzahl von Datenspeichereinrichtungen zur Speicherung von Nutzdaten und einen Buffer- und Fehlerkontrollbaustein aufweisenden Speichermoduls in einem Datenspeichersystem. Dabei werden zunächst mittels des Buffer- und Fehlerkontrollbausteins auf dem Speichermodul Nutzdaten von einer Speicherkontrolleinrichtung des Datenspeichersystems empfangen und aufbereitet. In der Folge wird im Buffer- und Fehlerkontrollbaustein zu den Nutzdaten ein korrespondierender Satz von Redundanzdaten gebildet. Darauf werden die Nutzdaten in den Datenspeichereinrichtungen und der korrespondierende Satz von Redundanzdaten im Buffer- und Fehlerkontrollbaustein abgespeichert. Bei einer späteren Übertragung der abgespeicherten Nutzdaten aus einer der Datenspeichereinrichtungen zur Speicherkontrolleinrichtung wird im Buffer- und Fehlerkontrollbaustein ein korrespondierender Satz von Kontrolldaten gebildet. Durch den Vergleich jeweils korrespondierender Redundanzdaten und Kontrolldaten werden aufgetretene Datenfehler in den Nutzdaten erkannt und fallweise korrigiert und schließlich korrigierte und im Wesentlichen fehlerfreie Nutzdaten zur Speicherkontrolleinrichtung übertragen. Durch die Verlagerung der Fehlerkorrektur auf das Speichermodul erhöht sich die Leistungsfähigkeit des Daten-

speichersystems bezüglich einer fehlerfreien Übertragung von Nutzdaten.

5 Eine Fehlererkennung und eine Fehlerkorrektur von auf den Speichermodulen aufgetretenen Datenfehlern erfolgt also erfindungsgemäß in den Speichermodulen selbst. Da es sich bei Fehlerereignissen auf Speichermodulen in der Regel um so genannte Softerrors in DRAM-Speicherzellen handelt, bzw. um den Ausfall ganzer Bausteine, lassen sich zunächst in vorteilhafter Weise auf der Systemplatine unnötige Leitungen bzw. Anschlüsse für den redundanten Datenbus vermeiden. Andererseits wird auch die Leistungsfähigkeit des Systems erhöht, da keine fehlerhaften Daten zwischen den Speichermodulen und dem Speicherkontrollbaustein übertragen werden. Musste die Systemplatine eines Datenspeichersystems bisher mit einer erweiterten Datenbusbreite vorgesehen und jeweils an ein Fehlerkorrekturkonzept angepasst sein, so ermöglicht das erfindungsgemäße Verfahren ein einfaches Aufrüsten eines Datenspeichersystems allein durch den Austausch von Speichermodulen.

20 Nach einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens wird das Auftreten eines Fehlerereignisses an mindestens eine weitere Komponente des Speichersystems übertragen. Dort ist eine weitere Auswertung von Fehlerereignissen möglich. So werden beispielsweise Datenspeichereinrichtungen oder Speichermodule mit einer hohen Zahl von Fehlerereignissen erkannt. Im Anschluss kann der betreffende Speicherbereich entweder ausgeblendet werden oder zum Austausch vorgesehen werden.

30 Erfindungsgemäß betriebene Speichermodule lassen sich zur Optimierung von Datenspeichersystemen einsetzen. Dabei wird zunächst in Vorläufersystemen zwischen der Speicherkontrolleinrichtung und den Speichermodulen ein Redundanzbussystem zur
35 Übertragung weiterer Redundanzdaten vorgesehen. In der Folge

wird auf dem Speichermodul intern eine Fehlerkorrektur wie bereits beschrieben durchgeführt. Zusätzlich wird die Konsistenz der zwischen den Speichermodulen und der Speicherkontrolleinrichtung übertragenen Nutzdaten anhand der auf dem Redundanzbussystem übertragenen weiteren Redundanzdaten überprüft. Damit ist für jedes Fehlerereignis erkennbar, ob eine Fehlerquelle dem Speichermodul oder dem Bussystem des Datenspeichersystems zuzuordnen ist. In der Folge wird das Bussystem des Datenspeichersystems solange überarbeitet, bis dem Bussystem nur mehr eine tolerierbare Anzahl von Fehlern zuzuordnen ist.

Folgesysteme des Vorläufersystems werden dann mit dem optimierten Bussystem und bevorzugt ohne das sich dann erübrigenden Redundanzbussystem vorgesehen.

Nachfolgend wird die Erfindung anhand von Figuren näher erläutert, wobei für einander entsprechende Komponenten gleiche Bezugszeichen verwendet werden. Dabei zeigen:

Fig. 1 Eine schematische Draufsicht auf ein nach einem in herkömmlicher Weise kombinierten Buffer/Redriver- und Fehlerkorrekturkonzept ausgebildetes erstes Speichermodul,

Fig. 2 eine schematische Draufsicht auf ein nach einem in herkömmlicher Weise kombinierten Buffer/Redriver- und Fehlerkorrekturkonzept ausgebildetes zweites Speichermodul,

Fig. 3 eine schematische Draufsicht auf ein erfindungsgemäßes Speichermodul nach einem ersten Ausführungsbeispiel,

Fig. 4 eine schematische Draufsicht auf ein nach einem in herkömmlicher Weise kombinierten Buffer/Redriver- und Fehlerkorrekturkonzept ausgebildetes drittes Speichermodul und

5

Fig. 5 eine schematische Draufsicht auf ein erfindungsgemäßes Speichermodul nach einem zweiten Ausführungsbeispiel.

10 Das in der Fig. 1 dargestellte Speichermodul 1 weist gemäß JEDEC-Standard die Abmessungen 1,2 Zoll x 5,25 Zoll auf. Auf mindestens einer der beiden Bestückungsoberflächen des Speichermoduls 1 sind acht DRAMs 2 als Nutzdatenspeicher sowie ein weiteres DRAM 3 als Fehlerdatenspeicher vorgesehen. Das
15 Speichermodul 1 weist ein Feld von Kontakteinrichtungen 10 als elektrische Schnittstelle zu einer Systemplatine eines Datenspeichersystems auf. Aus dem Feld von Kontakteinrichtungen 10 wird ein externer Datenbus 51 sowie ein externer Steuer- und Adressenbus 63 zu einem Buffer/Redriver-Baustein 4
20 geführt. Der Buffer/Redriver-Baustein 4 ist jeweils über Datensignalleitungen 5 mit den DRAMs 2,3 verbunden. Ein interner Steuer- und Adressenbus ist in zwei Zweigen 61, 62 jeweils zwischen dem Buffer/Redriver-Baustein 4 und den DRAMs 2, 3 geführt.

25

Es ergibt sich für die beiden Zweige 61, 62 des internen Steuer- und Adressenbusses eine asymmetrische Belastung, da an den ersten Zweig 61 vier DRAMs 2, an den zweiten Zweig 62 fünf DRAMs 2, 3 angeschlossen sind. Dabei gibt das Timing des
30 jeweils langsameren Zweiges 61, 62 des internen Steuer- und Adressenbusses das Timing des gesamten Speichermoduls 1 vor. Das Zeitverhalten im zweiten Zeig 62 ist darüber hinaus davon abhängig, ob das DRAM 3 zur Fehlerdatenspeicherung bestückt ist. Darüber hinaus lässt sich erkennen, dass ein Führen

(routen) der Datensignalleitungen 5 durch die hohe Bestückungsdichte des Speichermoduls 1 erheblich erschwert ist.

5 In der Fig. 2 ist eine zweite Möglichkeit zur Anordnung der DRAMs 2, 3 auf dem Speichermodul 1 angegeben. Das Problem einer asymmetrischen Verteilung der kapazitiven Lasten am internen Steuer- und Adressenbus 61, 62 und eines von der Bestückung des als Fehlerdatenspeicher vorgesehenen DRAMs 3 abhängigen Timings bleibt dabei bestehen.

10 In der Fig. 3 ist ein erfindungsgemäßes Speichermodul dargestellt. Das Führen von Datensignalleitungen 5 zwischen dem erfindungsgemäß eine Buffer/Redriver-Funktionalität und einen Fehlerdatenspeicher in einem gemeinsamen Bauteilgehäuse integrierenden Buffer- und Fehlerkontrollbaustein 7 und den
15 verbleibenden DRAMs 2 zur Speicherung der Nutzdaten ist allein durch den Wegfall von Verbindungen zum DRAM 3 zur Fehlerdatenspeicherung der Fig. 1 oder 2 deutlich vereinfacht. An jedem Zweig 61, 62 des internen Steuer- und Adressenbusses
20 liegt dieselbe kapazitive Last. Die kapazitive Last ist dabei unabhängig davon, ob auf dem Speichermodul eine Fehlerkorrektur erfolgt. Das erfindungsgemäße Speichermodul 1 lässt sich auch mit Fehlerkorrektur mit der selben Datenübertragungsrate bezüglich der Nutzdaten betreiben wie eines der Speichermodu-
25 le gemäß der Fig. 1 und der Fig. 2 ohne Fehlerkorrektur.

30 In der Fig. 4 ist ein herkömmliches Speichermodul 1 mit zwei Buffer/Redriver-Bausteinen 4, 4' gezeigt. Auch hier kommt es durch ein bestücktes DRAM 3 zur Fehlerdatenspeicherung zu einer asymmetrischen Belastung mindestens in einem der Zweige 61, 61', 62, 62' des internen Steuer- und Adressenbussystems.

35 In der Fig. 5 ist der Fehlerdatenspeicher auf zwei gleichartige Buffer- und Fehlerkontrollbausteine 7 aufgeteilt. Beide Buffer- und Fehlerkontrollbausteine 7 enthalten jeweils dar-

über hinaus eine Buffer/Redriver-Funktionalität. Es ergibt sich ein deutlich vereinfachtes Routen der Datensignalleitungen 5 sowie eine symmetrische Belastung aller Zweige 61 des Steuer- und Adressenbusses. Durch die Aufteilung des externen Datenbusses 51, 51' und des externen Steuer- und Adressenbusses 63, 63' in jeweils zwei Zweige ergibt sich gegenüber dem Speichermodul aus der Fig. 3 ein vereinfachtes Routen bezüglich beider externer Bussysteme zwischen den kombinierten Buffer- und Fehlerkontrollbausteinen 7, 7' und dem Feld von Kontakteinrichtungen 10.

Patentansprüche

1. Speichermodul zum Betrieb in einem Datenspeichersystem, aufweisend

- 5 - eine Mehrzahl von Datenspeichereinrichtungen (2) zur Speicherung von Nutzdaten und
- mindestens eine mit den Datenspeichereinrichtungen (2) mindestens mittels Datenleitungen (5) verbundene Buffereinrichtung zur Aufbereitung mindestens von auf den Datenleitungen (5) zwischen den Datenspeichereinrichtungen (2) und einer Speicherkontrolleinrichtung des Datenspeichersystems übertragenen Datensignalen,

g e k e n n z e i c h n e t d u r c h

- mindestens einen jeweils eine Buffereinrichtung und eine Datenspeichereinrichtung zur Speicherung von zur Erkennung und Korrektur fehlerhafter Daten geeigneter Redundanzdaten in einem gemeinsamen Bauteilgehäuse integrierenden Buffer- und Fehlerkontrollbaustein (7).

20 2. Speichermodul nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t,

dass jeder der Buffer- und Fehlerkontrollbausteine (7) mit einer geradzahligen Anzahl von Datenspeichereinrichtungen (2) zur Speicherung der Nutzdaten verbunden ist.

25

3. Speichermodul nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t,

dass die Datenspeichereinrichtungen (2) symmetrisch zum Buffer- und Fehlerkontrollbaustein (7) angeordnet sind.

30

4. Speichermodul nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t,

dass der Buffer- und Fehlerkontrollbaustein (7) eine Fehlererkennungseinheit aufweist, die bei einer Übertragung von

35 Nutzdaten zum Speichermodul (1) zur Bildung und Abspeicherung

der Redundanzdaten und bei einer Übertragung von Nutzdaten zur Speicherkontrolleinrichtung zur Bildung von Kontrolldaten aus den zu übertragenden Nutzdaten sowie zum Vergleich jeweils korrespondierender Redundanzdaten und Kontrolldaten geeignet ist.

5
10 5. Speichermodul nach Anspruch 4,
dadurch gekennzeichnet,
dass der Buffer- und Fehlerkontrollbaustein (7) eine anhand jeweils korrespondierender Redundanzdaten und Kontrolldaten zur Korrektur von fehlerhaften Nutzdaten geeignete Fehlerkorrektureinheit aufweist.

15 6. Speichermodul nach Anspruch 5,
dadurch gekennzeichnet,
dass das Speichermodul (1) keine einer Datenleitung zur Übertragung von Redundanzdaten zugeordnete Kontakteinrichtung aufweist.

20 7. Speichermodul nach einem der Ansprüche 5 oder 6,
dadurch gekennzeichnet,
dass das Speichermodul (1) eine zur Übertragung von Information zu Fehlerereignissen zur Speicherkontrolleinrichtung geeignete Fehlersignalisierungseinheit aufweist.

25 8. Speichermodul nach einem der Ansprüche 5 bis 7,
dadurch gekennzeichnet,
dass der Buffer- und Fehlerkontrollbaustein (7) eine zum Erkennen und Ausblenden fehlerhafter Speicherzellen in den Datenspeichereinrichtungen (2) geeignete Fehlerauswerteeinheit
30 aufweist.

9. Speichermodul nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet,

dass die Datenspeichereinrichtungen (2) jeweils als DRAM-Bausteine ausgebildet sind.

10. Speichermodul nach einem der Ansprüche 1 bis 9,
5 d a d u r c h g e k e n n z e i c h n e t ,
dass die Datenspeichereinrichtungen (2) jeweils eine DDR-Schnittstelle aufweisen.

11. Speichermodul nach einem der Ansprüche 1 bis 10,
10 d a d u r c h g e k e n n z e i c h n e t ,
dass die maximalen Abmessungen des Speichermoduls (1) im Wesentlichen 1,2 Zoll x 5,25 Zoll betragen.

12. Buffer- und Fehlerkontrollbaustein (7) für in Datenspei-
15 chersystemen betriebene Speichermodule (1) , umfassend
- Anschlusseinrichtungen und
- eine in einem Halbleitersubstrat ausgebildete und zur Kon-
ditionierung mindestens von zum und vom Speichermodul über-
tragenen Datensignalen geeignete Buffer/Redriver-
20 Funktionalität,
g e k e n n z e i c h n e t d u r c h
ein im Halbleitersubstrat als Fehlerdatenspeicher ausgebilde-
tes Speicherzellenfeld.

25 13. Buffer- und Fehlerkontrollbaustein nach Anspruch 12,
g e k e n n z e i c h n e t d u r c h
eine bei einer Übertragung von Nutzdaten zum Speichermodul
(1) zur Bildung und Abspeicherung von Redundanzdaten und
bei einer Übertragung von Nutzdaten zu einer Speicherkon-
30 trolleinrichtung des Datenspeichersystems zum Vergleich der
abgespeicherten Redundanzdaten mit aus den zu übertragenden
Nutzdaten gebildeten Kontrolldaten geeignete Fehlererken-
nungseinheit.

35 14. Buffer- und Fehlerkontrollbaustein nach Anspruch 13,

g e k e n n z e i c h n e t d u r c h
eine anhand jeweils korrespondierender Redundanzdaten und
Kontrolldaten zur Korrektur von fehlerhaften Nutzdaten geeig-
nete Fehlerkorrekturereinheit.

5

15. Buffer- und Fehlerkontrollbaustein nach einem der Ansprü-
che 13 bis 14,

g e k e n n z e i c h n e t d u r c h
eine zur Übertragung von Information zu Fehlerereignissen zum
Datenspeichersystem geeignete Fehlersignalisierungseinheit.

16. Buffer- und Fehlerkontrollbaustein nach einem der Ansprü-
che 13 bis 15,

g e k e n n z e i c h n e t d u r c h
eine zum Erkennen und Ausblenden fehlerhafter Speicherzellen
in mit dem Buffer- und Fehlerkontrollbaustein (7) verbundenen
Datenspeichereinrichtungen (2) geeignete Fehlerauswerteein-
heit.

20 17. Verfahren zum Betrieb eines eine Mehrzahl von Datenspei-
chereinrichtungen (2) zur Speicherung von Nutzdaten und min-
destens einen Buffer- und Fehlerkontrollbaustein (7) aufwei-
senden Speichermoduls (1) in einem Datenspeichersystem, wobei

25 - mittels des Buffer- und Fehlerkontrollbausteins (7) zum
Speichermodul (1) übertragene Datensignale von Nutzdaten
empfangen und aufbereitet werden,

- im Buffer- und Fehlerkontrollbaustein (7) zu den Nutzdaten
ein korrespondierender Satz von Redundanzdaten gebildet
wird,

30 - die Nutzdaten in den Datenspeichereinrichtungen (2) abge-
speichert werden,

- der jeweils korrespondierende Satz von Redundanzdaten im
Buffer- und Fehlerkontrollbaustein (7) abgespeichert wird,

35 - bei einer Übertragung von abgespeicherten Nutzdaten von den
Datenspeichereinrichtungen (1) zu einer Speicherkontroll-

einrichtung des Datenspeichersystems im Buffer- und Fehlerkontrollbaustein (7) ein korrespondierender Satz von Kontrolldaten gebildet wird,

- durch den Vergleich jeweils korrespondierender Redundanzdaten und Kontrolldaten aufgetretene Datenfehler in den Nutzdaten erkannt und fallweise korrigiert werden und
- korrigierte und im Wesentlichen fehlerfreie Nutzdaten zur Speicherkontrolleinrichtung übertragen werden.

18. Verfahren nach Anspruch 17,
dadurch gekennzeichnet,
dass ein Auftreten eines Datenfehlers in den Nutzdaten an die Speicherkontrolleinrichtung des Datenspeichersystems signalisiert wird.

19. Verfahren zum Optimieren eines eine Speicherkontrolleinrichtung, mindestens ein Speichermodul und eine ein die Speicherkontrolleinrichtung und das Speichermodul verbindenden Bussystem zur Übertragung von Daten aufweisende Systemplatine umfassenden Datenspeichersystems, wobei

- in Vorläufersystemen auf der Systemplatine zwischen der Speicherkontrolleinrichtung und den Speichermodulen ein Redundanzbussystem vorgesehen wird,
- die Speichermodule nach einem Verfahren gemäß einem der Ansprüche 17 oder 18 betrieben werden,
- in den Vorläufersystemen von der Speicherkontrolleinrichtung mit Hilfe des Redundanzbussystems Übertragungsfehler im Bussystem registriert und analysiert werden,
- aufgrund einer Analyse von zwischen der Speicherkontrolleinrichtung und dem Speichermodul auftretenden Übertragungsfehlern das Bussystem des jeweiligen Vorläufersystems in Richtung einer minimalen Zahl von Übertragungsfehlern entwickelt wird und

- das Datenspeichersystem mit dem zu einer minimalen Zahl von Übertragungsfehlern entwickelten Bussystem vorgesehen werden.

- 5 20. Verfahren nach Anspruch 19,
d a d u r c h g e k e n n z e i c h n e t ,
dass das Datenspeichersystem ohne das Redundanzbussystem vorgesehen werden.

Zusammenfassung

Speichermodul und Verfahren zum Betrieb eines Speichermoduls
in einem Datenspeichersystem

5

Auf DDR-DRAMs (2) basierende Speichermodule (1) werden mit
einem einen Fehlerdatenspeicher und eine Buffer/Redriver-
Funktionalität zur Aufbereitung von zum Speichermodul (1) ü-
bertragenen und vom Speichermodul (1) ausgegebenen Datensig-
10 nalen integrierenden Buffer- und Fehlerkontrollbaustein (7)
vorgesehen, der zur Korrektur von in den DDR-DRAMs (2) feh-
lerhaft abgespeicherten Nutzdaten geeignet ist. Der Buffer-
und Fehlerkontrollbaustein (7) ermöglicht die Integration so-
wohl eines Fehlerkorrekturkonzepts als auch eines Buf-
15 fer/Redriver-Konzepts auf Speichermodulen innerhalb der gemäß
maßgeblicher Industriestandards beschränkten Abmessungen der
Speichermodule, ein vereinfachtes, bzw. verbesserten Routen
von Datenleitungen (5) und von Steuer- und Adressenleitungen
(61, 62) sowie durch eine Verringerung von fehlerhaft über-
20 tragenen Daten zum Datenspeichersystem eine erhöhte reale Da-
tenübertragungsrate.

(Fig. 3)

25

30

Bezugszeichenliste

1	Speichermodul
10	Kontakteinrichtungen
5 2	Datenspeichereinrichtung für Nutzdaten
3	Datenspeichereinrichtung für Redundanzdaten
4, 4'	Buffer/Redriver-Baustein
5	Datenleitungen intern
51	Datenleitungen extern
10 61, 61'	Steuer- und Adressenleitungen intern
62, 62'	Steuer- und Adressenleitungen intern
63	Steuer- und Adressenleitungen extern
7, 7'	Buffer- und Fehlerkontrollbaustein

FIG 1

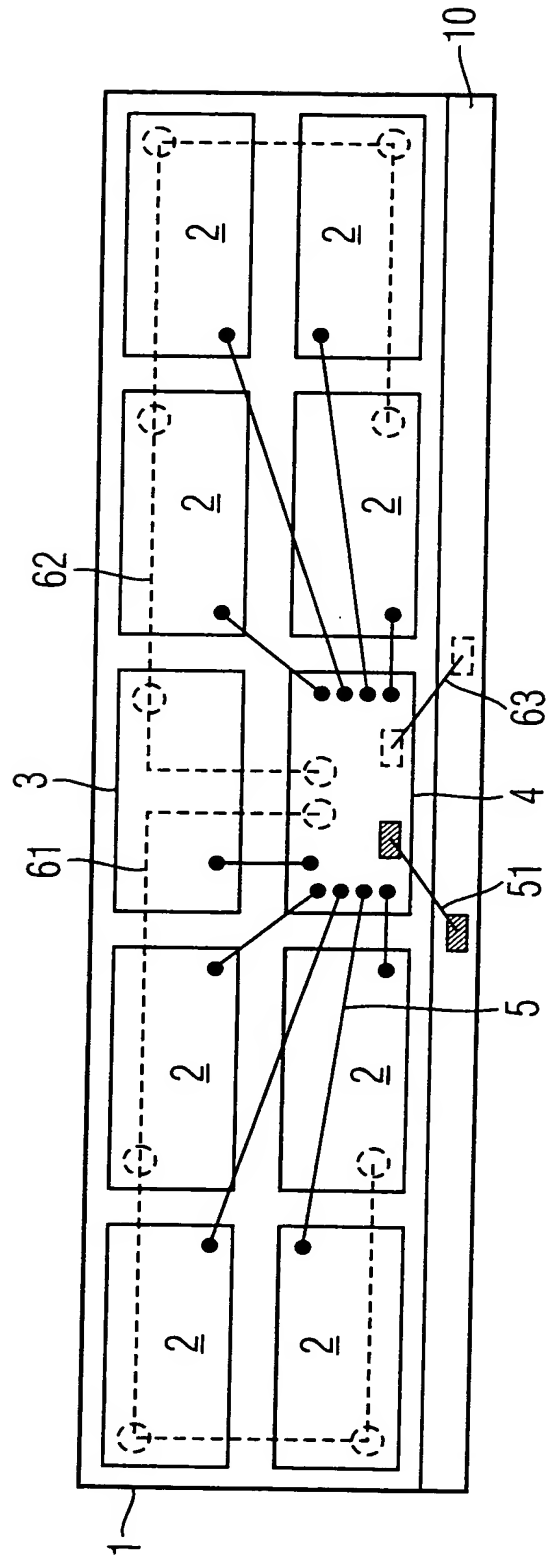


FIG 2

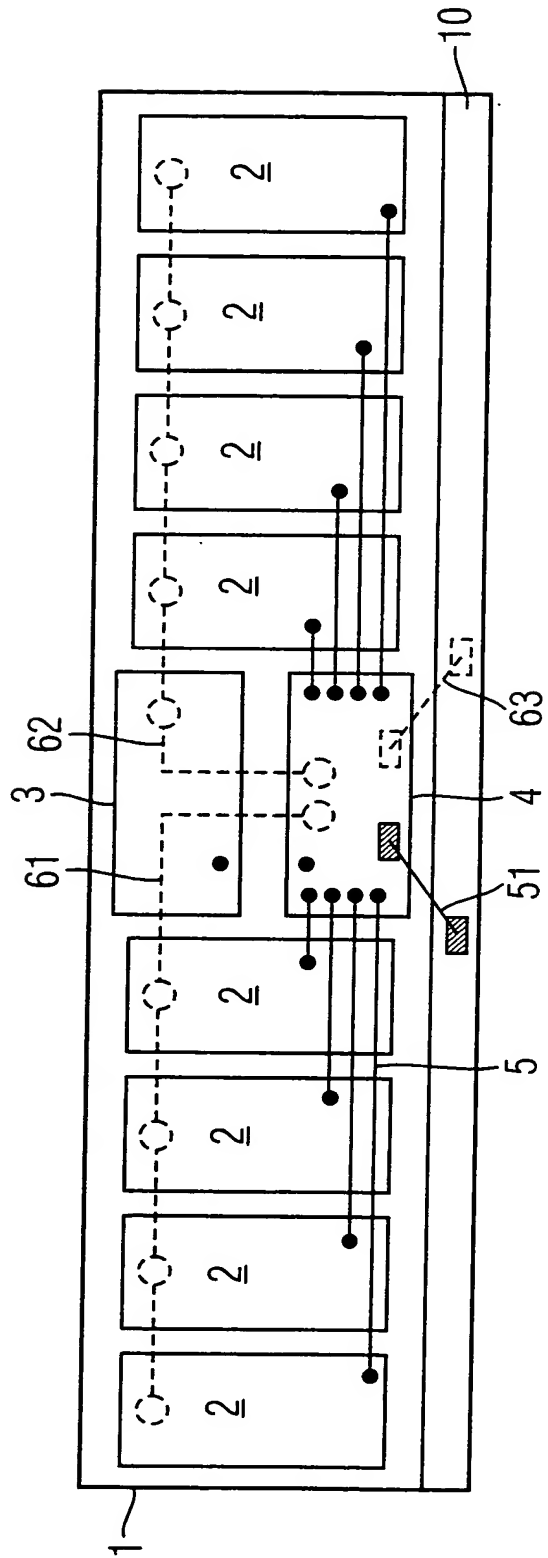


FIG 3

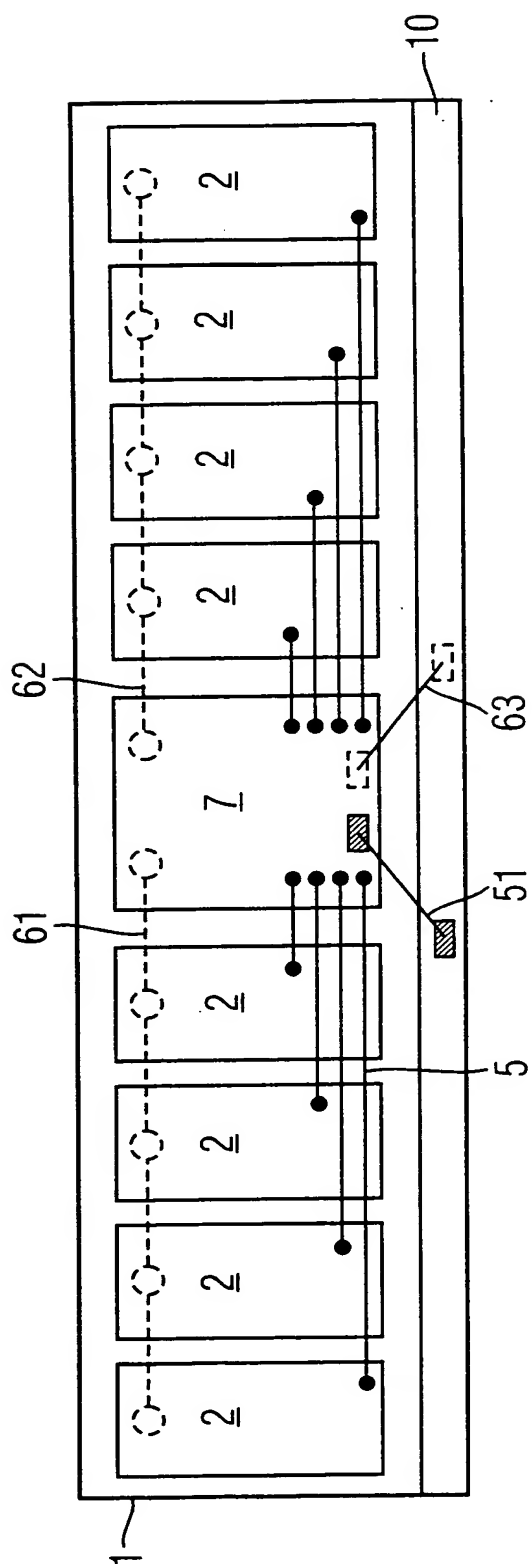


FIG 4

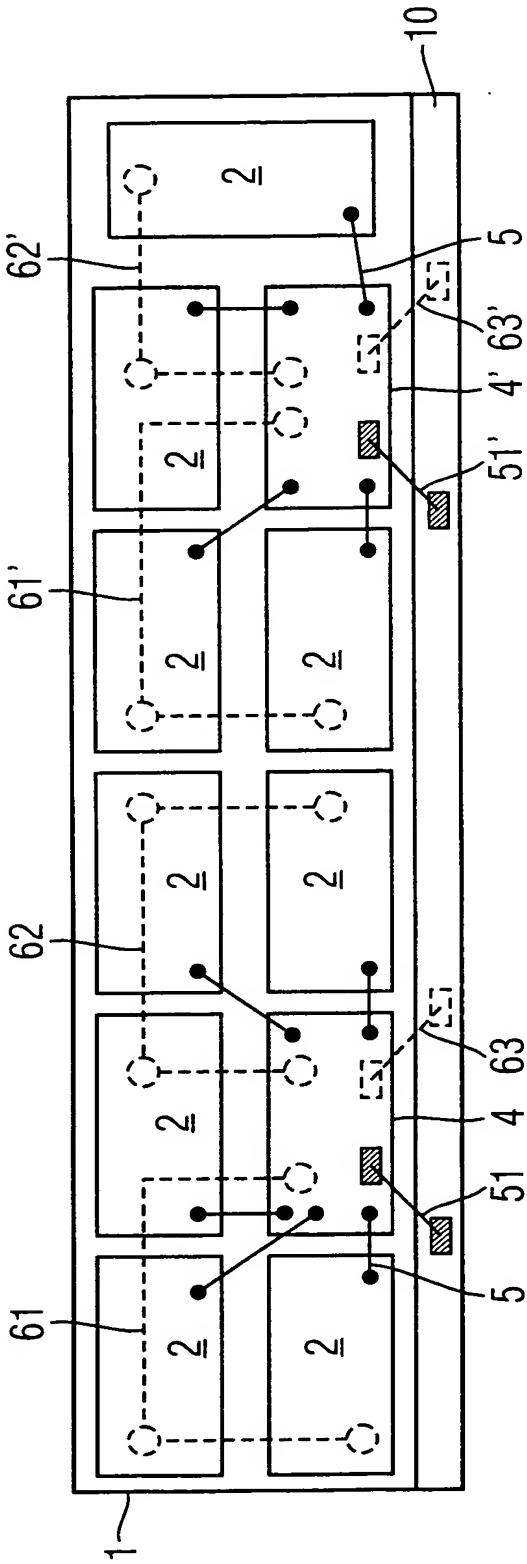
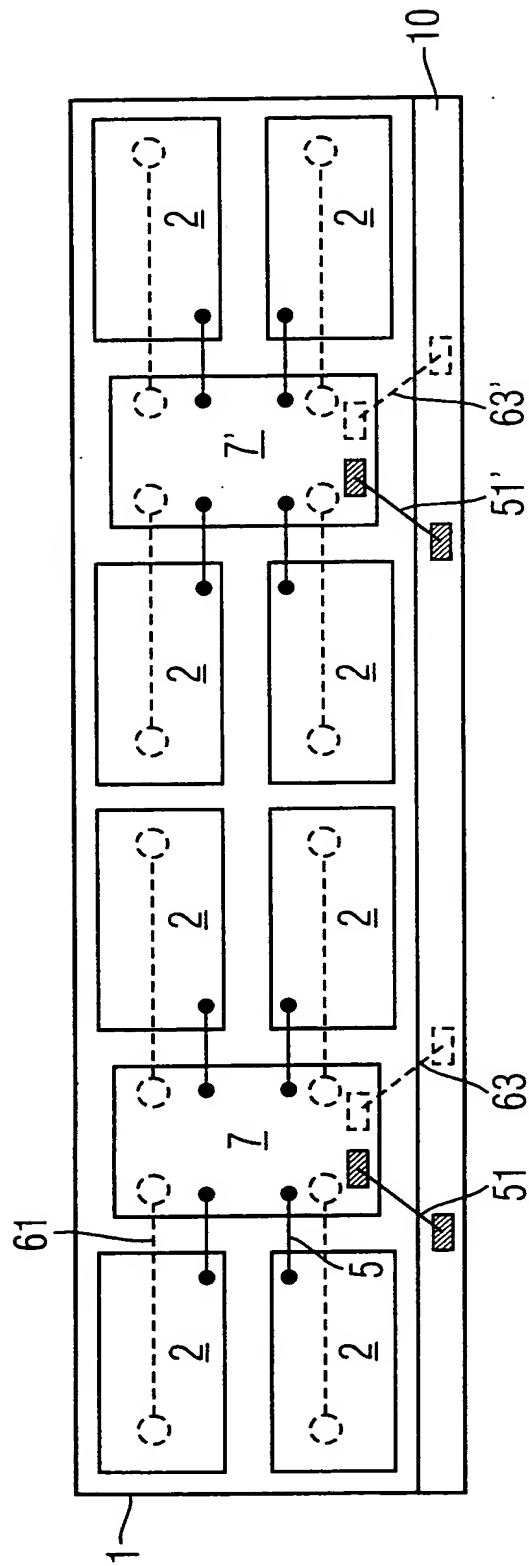


FIG 5



Figur für die Zusammenfassung

FIG 3

